

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-274724

(43)Date of publication of application : 05.10.2001

(51)Int.Cl.

H04B 1/707

(21)Application number : 2000-084368

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 24.03.2000

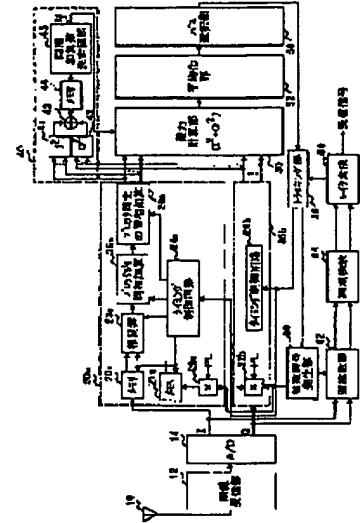
(72)Inventor : YAMADA DAISUKE

(54) DELAY PROFILE MEASUREMENT METHOD AND DELAY PROFILE MEASUREMENT CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a delay profile measurement circuit that can measure delay profile (detection of a path of a delayed wave) in a CDMA receiver.

SOLUTION: In-phase summing sections 30a, 30b, that adaptively change number of data summed in phase, depending on a frequency of fading divide a received data stream with a pilot symbol inserted thereto into a plurality of blocks, and provide an output of the results of in-phase summation, while gradually changing the number of summed blocks. An in-phase summing number decision circuit 40 calculates a power of a received signal corresponding to each summing result, compares them to obtain an optimum in-phase summing number (M). A power calculation section 50 calculates power on the basis of data of the decided summing number.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開2001-274724

(P2001-274724A)

(43)公開日 平成13年10月5日(2001.10.5)

(51) Int.Cl.⁷

識別記号

FI

テーマコード* (参考)

H04B 1/707

H04J 13/00

D 5K022

審査請求 未請求 請求項の数8 OL (全 7 頁)

(21)出願番号 特願2000-84368(P2000-84368)

(22)出願日 平成12年3月24日(2000.3.24)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 山田 大輔

神奈川県横浜市港北区綱島東四丁目3番1
号 松下通信工業株式会社内

(74) 代理人 100105050

弁理士 鷺田 公一

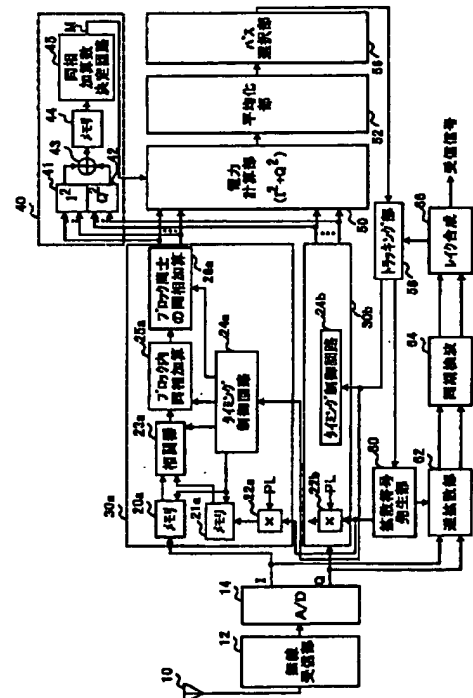
Fターム(参考) 5K022 EE02 EE32 EE35

(54) 【発明の名称】 遅延プロファイル測定方法および遅延プロファイル測定回路

(57) 【要約】

【課題】 CDMA受信機において、精度の高い遅延プロファイルの測定（遅延波のパス検出）を行うこと。

【解決手段】 フェージングの周波数に応じて、同相加算するデータ数を適応的に変化させる。同相加算部 30 a、30 bでは、パイロットシンボルが挿入されている受信データ列を複数のブロックに分割する。そして、加算するブロックの数を少しずつ変化させながら、複数の同相加算結果を出力する。同相加算数決定回路 40 では、各加算結果に対応した受信信号の電力値を計算し、それらを比較して最適な同相加算数 (M) を求める。電力計算部 50 は、決定された加算数のデータに基づき電力計算を行う。



【特許請求の範囲】

【請求項1】 遅延プロファイル測定のために、同相の連続するデータを加算する際に、その加算数を異ならせて、複数のデータを取得し、取得されたそれらの各データを基にして、受信信号の電力値、あるいは受信信号の電力とノイズ電力との比を検出し、検出された前記電力値または前記比の値の比較、あるいはそれらの時間的な変化の判定により、現在のフェージング下における、最適な同相加算数を決定することを特徴とする遅延プロファイル測定方法。

【請求項2】 既知シンボルが挿入されているCDMA方式の信号を受信し、逆拡散後における同相成分の連続する複数のデータについて加算を行い、その加算結果を利用して受信信号の電力を求めて遅延プロファイルを測定する方法であって、逆拡散後の前記既知シンボルが挿入されている部分のデータ列を n 個(n は2以上の自然数)のブロックに分割し、その後、ブロック1個に相当する数の同相データ、ブロック2個に相当する数の同相データ……ブロック($n-1$)個に相当する数の同相データ、ブロック n 個に相当する数のデータのそれぞれについて加算を行って n 個の加算結果を取得し、各加算結果に基づいて受信信号の電力を計算し、計算された n 個の受信信号の電力を比較することにより、加算されるブロック数を適応的に決定し、その決定されたブロック数に相当する数の同相データの加算結果に基づいて求められた受信電力から遅延プロファイルを測定することを特徴とする遅延プロファイル測定方法。

【請求項3】 計算された n 個の受信信号の電力を比較して、加算されるブロック数を適応的に決定する処理において、前記 n 個の受信電力の中で最大のものを検出し、その最大電力を与えるブロックの数を、同相加算すべきブロックの数として決定することを特徴とする請求項2記載の遅延プロファイル測定方法。

【請求項4】 計算された n 個の受信信号の電力を比較して、加算されるブロック数を適応的に決定する処理において、前記 n 個の受信信号の電力値の時間軸上における変化を検出して、同相加算すべきブロックの数を決定することを特徴とする請求項2記載の遅延プロファイル測定方法。

【請求項5】 計算された n 個の受信信号の電力を比較して、加算されるブロック数を適応的に決定する処理において、前記 n 個の受信信号の電力の中の少なくとも上位の複数のサンプルについて、ノイズ電力との比を求め、求められた受信信号の電力とノイズ電力との比を指標として、同相加算すべきブロックの数として決定することを特徴とする請求項2記載の遅延プロファイル測定方法。

【請求項6】 既知シンボルが挿入されているCDMA方式の信号を受信し、逆拡散後における同相成分の連続する複数のデータについて加算を行い、その加算結果を利用して受信信号の電力を求めて遅延プロファイルを測定する遅延プロファイル測定回路であって、逆拡散後の前記既知シンボルが挿入されている部分のデータ列を n 個(n は2以上の自然数)のブロックに分割し、各ブロック毎に、同相データの加算を行うブロック内同相加算手段と、

ブロック同士の同相加算を実行することにより、ブロック1個単独の同相加算の結果と、2個のブロック同士を加算した場合の同相加算の結果と、……($n-1$)個のブロック同士を加算した場合の同相加算の結果と、 n 個のブロック同士を加算した場合の同相加算の結果の、合計で n 個の加算結果を取得するブロック同士の加算手段と、

このブロック同士の加算手段から出力される前記 n 個の加算結果のそれぞれに基づいて受信信号の電力を計算し、計算された n 個の受信信号の電力を比較することにより、加算されるブロック数を適応的に決定する同相加算数決定回路と、

決定されたブロック数に相当する数の同相データの加算結果に基づいて求められた受信電力から遅延プロファイルを測定する遅延プロファイル測定回路と、を有することを特徴とする遅延プロファイル測定回路。

【請求項7】 既知ビットが挿入されたCDMA方式の信号を受信するCDMA受信装置であって、受信信号の逆拡散を行う逆拡散手段と、逆拡散後の前記既知シンボルが挿入されている部分のデータ列を n 個(n は2以上の自然数)のブロックに分割し、各ブロック毎に、同相データの加算を行うブロック内同相加算手段と、

ブロック同士の同相加算を実行することにより、ブロック1個単独の同相加算の結果と、2個のブロック同士を加算した場合の同相加算の結果と、……($n-1$)個のブロック同士を加算した場合の同相加算の結果と、 n 個のブロック同士を加算した場合の同相加算の結果の、合計で n 個の加算結果を取得するブロック同士の加算手段と、

このブロック同士の加算手段から出力される前記 n 個の加算結果のそれぞれに基づいて受信信号の電力を計算し、計算された n 個の受信信号の電力を比較することにより、加算されるブロック数を適応的に決定する同相加算数決定回路と、

決定されたブロック数に相当する数の同相データの加算結果に基づいて求められた受信電力から遅延プロファイルを測定する遅延プロファイル測定回路と、

この遅延プロファイル測定手段の出力信号から電力レベルの高い上位数サンプルのパスを検出するパス選択手段と、

このパス選択手段で選択されたパスに対応するタイミングで逆拡散を行い、レイク合成を行うレイク合成手段と、を有することを特徴とする、CDMA受信装置。

【請求項8】 請求項7記載のCDMA受信装置を具備するCDMA基地局装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、スペクトラム拡散通信（CDMA通信）において、逆拡散後の受信信号から遅延プロファイルを測定する、遅延プロファイル測定方法および遅延プロファイル測定回路に関する。

【0002】

【従来の技術】CDMA通信において、受信機がレイク合成受信を行う場合には、電波の到来パスがいくつあるかを検出する必要がある。レイク合成に使用できる有効なパスの存在は、遅延プロファイルを測定することにより明らかとなる。

【0003】遅延プロファイルを測定する方法の一つとして、受信したQPSK変調された信号（具体的には、パイロットシンボル）のI成分（同相成分）およびQ成分（直交成分）から、受信信号の平均電力を求める方法がある。パイロットシンボルは、同期獲得（あるいは同期追従）のために挿入されている既知のデータ列である。

【0004】受信信号の電力は、受信したI成分とQ成分の各信号の各々を二乗して加算すること、すなわち、 $I^2 + Q^2$ を計算することにより求まる。

【0005】この演算を行う場合に、受信した信号をそのまま二乗するよりも、連続する複数のI成分データ（あるいはQ成分データ）を、所定の数だけ加算した後二乗した方が、電力の測定の精度が向上する。

【0006】これは、受信信号に重畳されるノイズは、ランダムな位置に存在するため、同相成分のデータを所定の数だけ加算することによって、ノイズ成分同士が相殺されて、 S/N が向上するからである。

【0007】

【発明が解決しようとする課題】同相成分の複数のデータを加算してから二乗演算を行う方法を採用するとき、加算するデータの数は固定されている。受信信号のレベルは、フェージングにより変動する。

【0008】そのフェージングの周期が、加算されるデータの数に相当する時間幅よりも小さいときには、加算されるデータそのものの信頼性が低いと、雑音や干渉波成分のピークを検出してしまうおそれが高い。したがって、パス検出の精度（遅延プロファイルの測定の精度）が低下する。

【0009】本発明は、このような問題点を解消するためになされたものであり、フェージングの態様に影響されることなく、常に、正確なパス検出を可能とすることを目的とする。

【0010】

【課題を解決するための手段】本発明では、フェージングの周波数（周期）に応じて、同相加算されるデータの数を適応的に変化させる。

【0011】すなわち、同相の連続するデータを加算する際に、加算数を異ならせて、複数のデータを取得する。そして、それらの各データを基にして、受信信号の電力（あるいは、ノイズ電力との比）を計算する。そして、計算により求められた値や、その値の時間的な変化の態様から、現在のフェージング下における、最適な同相加算数を決定する。

【0012】好ましくは、逆拡散を行って得られた、同期獲得のために使用される全データを複数のブロックに区分し、このブロックを単位として加算数を変化させるのがよい。すなわち、加算するブロックの数を異ならせて、すべての組み合わせの各々についてデータの同相加算結果を求める。

【0013】このようにすれば、加算するブロックの数に応じて、同相加算されるデータの総数（そのデータ総数に対応する時間幅）を、ステップ的に変化させることができる。よって、効率的に、フェージングの周期との比較を行うことができ、迅速に最適な加算数を決定することができる。

【0014】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0015】（実施の形態1）図1は、本発明を適用したCDMA受信装置の構成を示すブロック図である。このCDMA受信装置の特徴は、同期獲得（および同期追従）のための遅延プロファイル測定段階において、フェージングの状況に応じて適応的に、同相加算数を変化させることである。

【0016】まず、CDMA受信装置の全体構成について説明する。

【0017】アンテナ10、無線受信部12により受信されたCDMA方式の信号（ここでは、既知のパイロット信号が挿入された数ビットの信号）は、A/D変換器14によりオーバーサンプリングされる。このA/D変換器14からはI、Qの各データが出力される。

【0018】図1に示されるように、CDMA受信装置は、I成分のデータについてのブロックを単位とした加算を行う同相加算部30aと、Q成分のデータについてのブロックを単位とした加算を行う同相加算部30bと、同相加算数決定部40と、を具備している。

【0019】なお、同相加算部30a、30bの内部の構成は同じである。同相加算部30bの内部構成は、図面の簡単化のために一部、省略して記載されている。

【0020】また、図1の同相加算数決定部40は、受信信号の電力値に基づき、同相加算数（M）をリアルタイムで決定する。決定された同相加算数（M；本実施の

形態では加算されるブロックの数を示す)は、受信信号の電力計算部(I+Q計算部)50に与えられる。

【0021】電力計算部50には、加算したデータの数が異なる複数のデータが入力されるので、電力計算部50は、それらのデータの中から、決定された同相加算数(=M)に該当するデータを選択し、そのデータを用いてI+Q計算を行い、受信信号の電力を求める。

【0022】平均化部52では、受信信号電力を複数の周期に渡って平均化する。パス選択部56は、平均化された受信電力のピークを検出する。これにより、遅延プロファイルを測定することができ、レイク合成に使用できるパスを特定することができる。各パスに対応した電力のピークが現れるタイミングが、CDMA受信装置の受信タイミングとなる。

【0023】このようにして検出されたタイミングで信号を受信するべく、トラッキング部58は、同相加算回路30a、30b内のタイミング制御回路24a、24bおよび、拡散符号発生部60の動作を制御する。

【0024】このようにして獲得された同期を保持しつつ、逆拡散部62で逆拡散が行われ、同期検波回路64で同期検波が行われ、レイク合成回路66でレイク合成受信が行われる。

【0025】以上が、受信装置の全体的な構成である。

【0026】次に、遅延プロファイル測定段階において、フェージングの状況に応じて適応的に、同相加算数を変化させるための構成について、具体的に説明する。

【0027】アンテナ10で受信された電波は、無線受信部で増幅され、A/D変換部14でデジタル信号に変換される。A/D変換部14からは、QPSK変調された受信データのI、Qの各成分が出力される。

【0028】以下、I成分のデータに着目して説明する。なお、Q成分についても、同様の処理が行われる。

【0029】デジタルデータに変換されたI成分のデータは、同相加算部30a内のメモリ20aに蓄積される。一方、メモリ21aには、拡散符号発生部60から出力される拡散符号(レプリカ)と既知のパイロット信号(PL)とを乗算した結果が蓄積されている。拡散符号(レプリカ)とパイロット信号(PL)との乗算は、乗算器22aで行われる。

【0030】同相加算部30a内の相関器23aは、例えば、マッチドフィルタにより構成される。この相関器23aでは、メモリ20aから読み出される受信データ(パイロットシンボルに拡散符号が乗算されている状態の信号)と、メモリ21aから読み出されるデータとの相関を検出する。

【0031】続いて、相関器23aから出力されるデータについて、データの加算が行われる。このデータの加算処理は、2段階の処理に分かれている。まず、同相加算回路25aによって、一つのブロックに含まれるデータの加算が実行される。続いて、同相加算回路26aに

よる、ブロック同士の加算が行われる。相関器23aおよび同相加算回路25a、26aの動作タイミングは、タイミング制御回路24aによって制御される。

【0032】ここで、同相加算回路25a、26aの動作を、図2(a)、(b)を用いて説明する。

【0033】図2(a)に示されるように、I、Qの各データ系列は、複数のブロックに区分される。すなわち、図2(a)では、Iデータ系列は、IB1~IB5の5つのブロックに区分されている。

【0034】同様に、Qデータ系列は、QB1~QB5の5つのブロックに区分されている。一つのブロックは、a~dの4つのデータで構成される。各データ(a~d)の値は"+1"または"-1"のいずれかである。

【0035】図1の同相加算回路25aは、図2(a)に示される各ブロック(IB1~IB5)毎に、各ブロックに属する全データ(a~d)を加算する。

【0036】図1の同相加算回路26aは、図2(b)に示すように、加算するブロックの数を異ならせながら、全部の組合わせについて加算を実行する。すなわち、図2(b)に示される①~⑤の各加算を実施する。なお、Q成分についても、同様に、⑥以降の各加算を実施する。

【0037】以上が、同相加算回路25a、26aの処理内容である。次に、ブロック同士の加算結果を用いて、最適な同相加算数を決定する処理について説明する。

【0038】図1の同相加算数決定部40は、二乗計算回路41、42と、加算器43と、メモリ44と、同相加算数決定回路45とを具備する。

【0039】図2(b)に示される①~⑤の各結果のデータ(Iデータ)は、二乗計算回路41に入力され、各データ毎に二乗演算(I²)が行われる。同様に、⑥以降の各結果のデータ(Qデータ)は、二乗計算回路42に入力され、各データ毎に二乗演算(Q²)が行われる。

【0040】そして、対応する二乗演算の結果同士が加算器43で加算され、その結果がメモリ44に記憶される。すなわち、メモリ44には、図2(c)に示すE1~E5の各データが記憶される。E1は1個のブロック(IB1とQB1)に対応する電力値であり、同様に、E2~E5はそれぞれ2個~5個のブロックに対応する電力値である。

【0041】図1の同相加算数決定回路45は、図2(d)に示すように、各電力値(E1~E5)の値を比較すると共に、時間軸上における各値の変化を検出する。

【0042】図2(d)の場合、電力値でみれば、E3が最も大きい。また、電力値の時間軸上における変化に着目すると、E1~E3は近い値を示して安定している

が、E4、E5になると、電力値が急激に低下している。

【0043】この場合には、E4、E5の値は、フェージングの影響を受けて信頼性が低いと推定できる。つまり、図2(a)の下側に例示されるように、フェージングの半周期(1/2周期)は、ブロック5個分に相当する時間より短く、ブロック3個分に相当する時間よりも長い可能性が大である。

【0044】そこで、この場合は、最適な同相加算数(ブロックの加算数)を"3"と決定する。すなわち、最適な同相加算数(ここでは、ブロックの加算数)をMとすれば、 $M=3$ となる。

【0045】ここでは、電力値自体のみならず、電力値の時間軸上における変化も考慮して同相加算数を決定しているが、これに限定されるものではなく、例えば、電力レベルが最も高いものを選ぶという方法でも、かなりの信頼性向上が期待できる。

【0046】図3(a)に、同相加算数決定回路45の構成の一例を示す。図示されるように、同相加算数決定回路45は、電力値の変化検出回路70と、電力値および検出された電力値の時間変化から最適な同相加算数を検出する、最適加算数検出回路71とを具備する。

【0047】以上の例では、電力値を用いて同相加算数を決定しているが、より精度を上げるためには、受信信号の電力値(E)とノイズ値(N)との比(E/N)を判定の指標とするのがよい。この場合、受信信号レベルが瞬時的にピークを示していたとしても、ノイズレベルも高ければ、そのピークはノイズに起因する成分である可能性が高いと判断することができる。よって、より精度よく、最適な同相加算数を検出することができる。

【0048】図3(b)は、同相加算数決定回路45の構成の他の例を示す。図示されるように、同相加算数決定回路45は、ノイズ電力を検出するノイズ電力検出回路72と、受信信号の電力値(E)とノイズ電力値

(N)との比(E/N)を求める E/N 測定回路73と、 E/N の値の時間軸に対する変化を検出する変化検出回路74と、 E/N 値および検出された E/N 値の時間変化から最適な同相加算数を検出する、最適加算数検出回路75とを具備する。

【0049】図3(c)に、ノイズ電力の求め方を示す。すなわち、受信信号の電力値E1~E5のうち、しきい値Vthよりも大きいもの(E2、E3、E4)をレイク合成用の各パスに対応する受信信号の電力値とみなす。そして、しきい値Vthを下回った電力値(E1、E5)を平均してノイズ電力とする。

【0050】このように、適応的に同相加算数を変化させることにより、パス検出精度(遅延プロファイル測定の精度)が向上する。

【0051】図5に示すような、周期が異なる2つのフェージングを考える。同相の受信信号列(a~l)に対

して、長い周期のフェージングのときは、同相加算数をN($=7$)とする。

【0052】一方、短い周期のフェージングのときは、同相加算数をM($=2$)として、同相加算数を少なくする。これにより、受信信号の電力計算の基礎となるデータの信頼性が向上する。よって、パス検出精度が向上する。

【0053】以上説明した、本発明の特徴的な処理の手順をまとめると、図4のようになる。すなわち、各ブロック毎に同相加算を行う(ステップ80)。次に、加算するブロック数を変化させながら、全ての組み合わせについて、ブロック同士の加算を行う(ステップ81)。

【0054】次に、加算結果のそれぞれに基づいて、受信信号の電力計算を行う。必要ならば、受信信号の電力値とノイズの電力値との比(E/N)を求める(ステップ82)。

【0055】続いて、電力値等の値の比較や、あるいは時間軸上での変化も考慮して、最適加算数(M)を決定する(ステップ83)。そして、求められた最適加算数を用いて、同相加算を行って、受信信号の電力を計算し、平均化を行い、遅延プロファイルを測定する(ステップ84)。

【0056】

【発明の効果】以上説明したように本発明によれば、同期獲得処理におけるI、Q各成分のデータ加算の数を、フェージングの周波数に対応して適応的に変化させることにより、雑音・干渉成分のピークを、誤って受信パスとして検出することが防止される。よって、パス検出(遅延プロファイルの測定)の精度を向上させることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態にかかるCDMA受信装置の構成を示すブロック図

【図2】(a)受信したI、Q各成分データ系列のブロック分割について説明するための図

(b)ブロック同士の加算の組合せを示す図

(c)受信信号の電力計算を説明するための図

(d)受信信号の電力値と、電力値の時間軸上における変化の一例を示す図

【図3】(a)図1の同相加算数決定回路の構成の一例を示すブロック図

(b)図1の同相加算数決定回路の構成の他の例を示すブロック図

(c)ノイズ電力の測定方法の一例を説明するための図

【図4】本発明の実施の形態にかかるCDMA受信装置における、特徴的な動作を示すフロー図

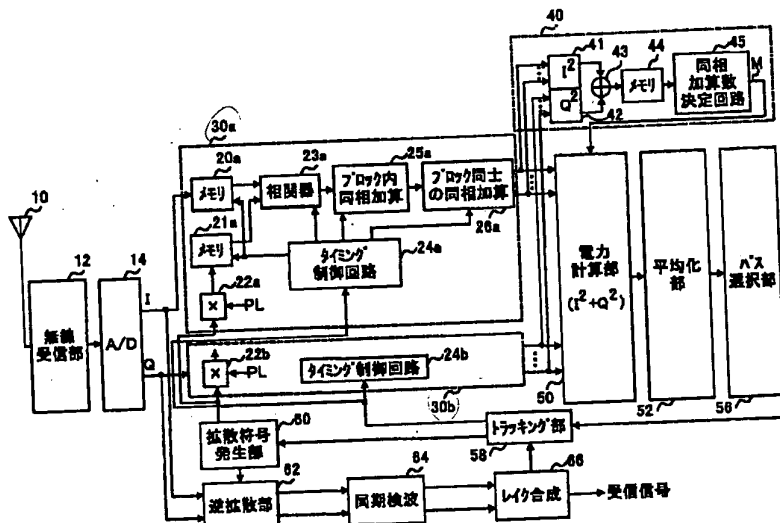
【図5】フェージングの周波数(周期)と、同相加算すべきデータ数との関係を説明するための図

【符号の説明】

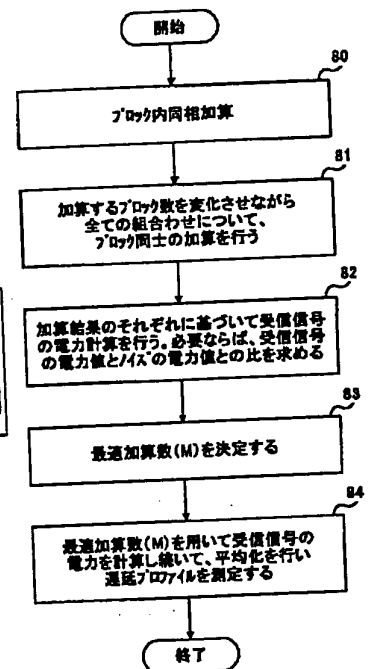
10 アンテナ

- | | |
|----------------------------|--------------|
| 12 無線受信部 | 43 加算回路 |
| 14 A/D変換器 | 44 メモリ |
| 20a, 21a メモリ | 45 同相加算数決定回路 |
| 22a, 22b 乗算器 | 50 電力計算部 |
| 23a 相関器 | 52 平均化部 |
| 24a, 24b タイミング制御回路 | 56 バス選択部 |
| 25a 同相加算回路 (ブロック内のデータ加算回路) | 58 トラッキング部 |
| 26a 同相加算回路 (ブロック同士の加算回路) | 60 拡散符号発生部 |
| 30a, 30b 同相加算部 | 62 逆拡散部 |
| 40 同相加算数決定部 | 64 同期検波回路 |
| 41, 42 二乗回路 | 66 レイク合成回路 |

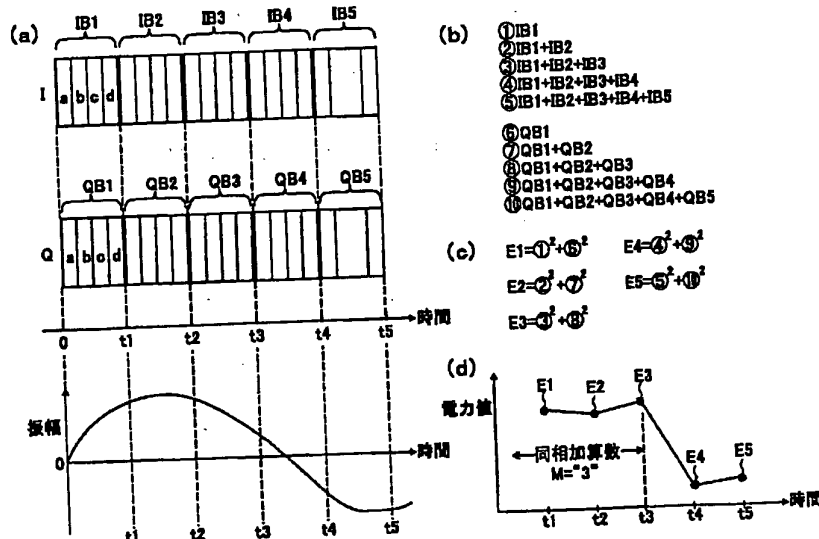
【図1】



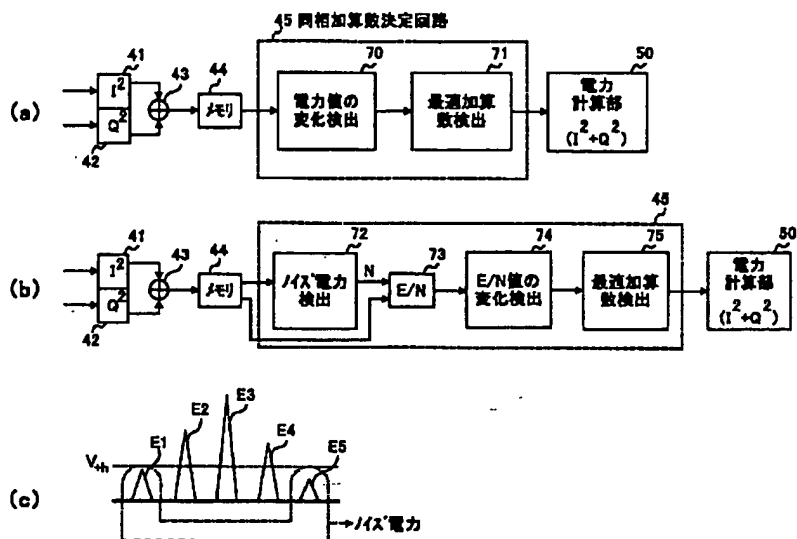
【図4】



【図2】



【図3】



【図5】

